

## 概述

74HC4052 是一块带有公共使能输入控制位的2路四选一模拟开关电路。每一个多路选择开关都有四个独立的输入输出(Y0 到 Y3)、一个公共的输入/输出端(Z) 和选择输入端(A)。公共使能输入控制位包括两个选择输入端 A0、A1 和一个低有效的使能输入端 E。

每一路都包含了四个双向模拟开关, 开关的一边连接到独立输入/输出 (Y0 到 Y3), 另一边连接到公共输入输出端 (Z)。当 E 为低电平时, 四个开关中的其中一个被 A0 和 A1 选通(低阻导通态)。

当 E 为高电平时, 所有开关都处于高阻关断态, 与 A0 和 A1 无关。

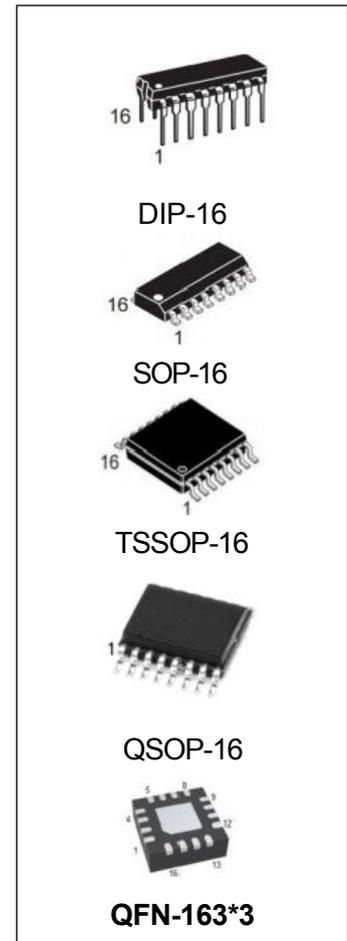
VDD 和 VSS 是连接到数字控制输入 (A0、A1 和 E) 的电源电压。

(VDD-VSS) 的范围是3~9V, 模拟输入输出(Y<sub>0</sub>~Y<sub>3</sub> 和 Z) 能够在最高 VDD, 最低 VEE 之间变化。(VDD-VEE) 不会超过9V。

对于用做数字多路选择开关, VEE 和 V<sub>ss</sub> 是连在一起的(通常接地)。

74HC4052 主要应用于模拟多路选择开关、数字多路选择开关及信号选通。

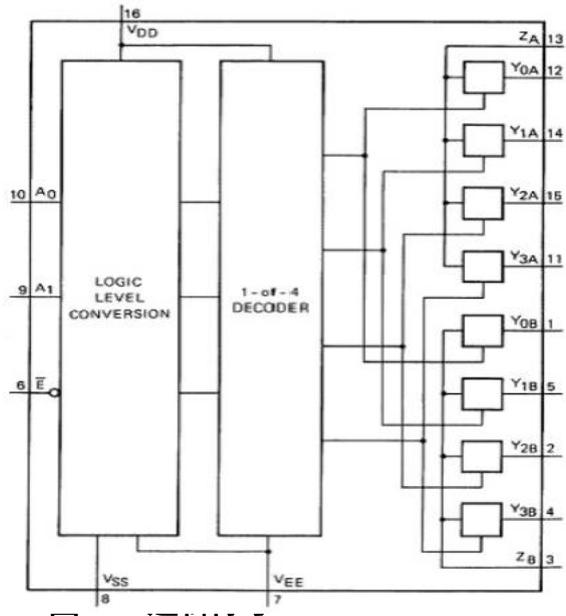
封装形式: DIP-16/SOP-16/TSSOP-16/QSOP-16/QFN-16



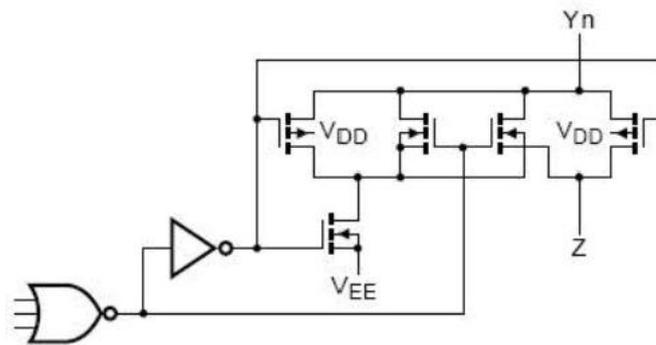
## 产品订购信息

产品名称	封装	打印名称	包装	包装数量
74HC4052N	DIP-16	74HC4052	管装	1000只/盒
74HC4052M/TR	SOP-16	74HC4052	编带	2500只/盘
74HC4052MT/TR	TSSOP-16	HC4052	编带	2500只/盘
74HC4052MS/TR	QSOP-16	HC4052	编带	2500只/盘
74HC4052LQ/TR	QFN-163*3	HC4052	编带	5000只/盘

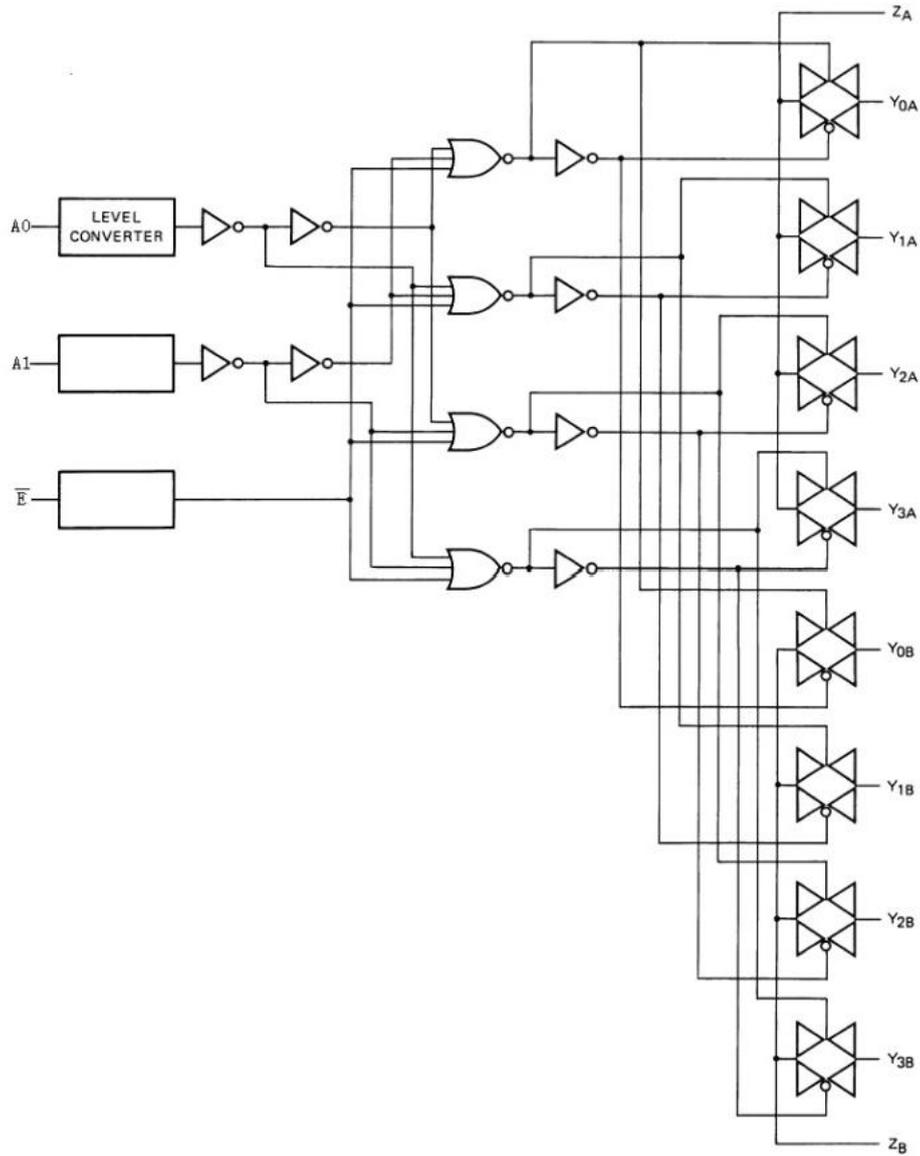
功能框图



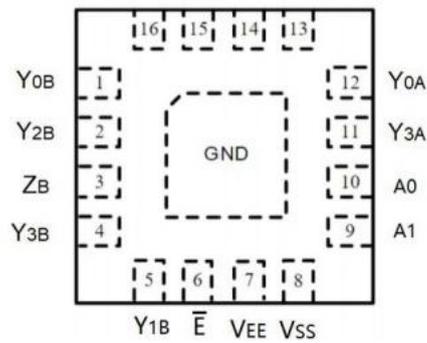
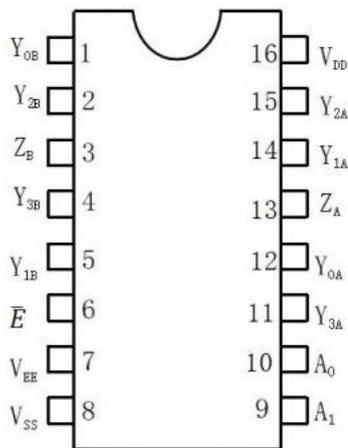
电路图(一个开关)



逻辑图



引脚排列图



(TOP VIEW)

DIP-16/SOP-16/TSSOP-16/QSOP-16

QFN-163\*3

## 引脚说明

引脚	符号	功能	引脚	符号	功能
1	YoB	B路独立输入/输出	9	A1	选择输入
2	Y2B	B路独立输入/输出	10	Ao	选择输入
3	ZB	A、B路各自共用输入/输出	11	Y3A	A路独立输入/输出
4	Y3B	B路独立输入/输出	12	YoA	A路独立输入/输出
5	Y1B	B路独立输入/输出	13	ZA	A、B路各自共用输入/输出
6	E	使能输入(低电平有效)	14	Y1A	A路独立输入/输出
7	VEE	负电源电压	15	Y2A	A路独立输入/输出
8	Vss	接地	16	VDD	正电源电压

## 功能说明 (真值表、逻辑关系等)

输入			沟道导通
E	A1	Ao	
L	L	L	YoA-ZA;YoB-ZB
L	L	H	Y1A-ZA;Y1B-ZB
L	H	L	Y2A-ZA;Y2B-ZB
L	H	H	Y3A-ZA;Y3B-ZB
H	*	*	无

注：1. H 是高电平状态(较高的正电压)

2. L 是低电平状态(较低的正电压)

3. “\*”是任意状态

## 极限参数

符号	参数	条件	最小	最大	单位
VpD	电源电压范围		-0.5	+12	V
Vpp-VEE	电源电压范围		-0.5	+12	V
Ia	静态电流	VDD-VEE=12V		2	μA
Vi	输入电压范围		-0.5	Vbp+0.5	V
HI	高电平输入电流	VDp=5V,Vi=VDD			μA
II	低电平输入电流	VDp=5V,Vi=0V		1	μA
Vio	输入输出电压范围		VEE-0.5	VDD+0.5	V
I <sub>k</sub>	输入钳位电流	Vi<-0.5V或Vi>Vpp+0.5V		±20	mA
I <sub>ok</sub>	输入输出钳位电流	Vlo<VEE-0.5V或Vo>Vpp+0.5V		±20	mA
π	开关导通电流	Vo=-0.5V~Vbp+0.5V		±25	mA
I <sub>bD</sub> ,I <sub>IGND</sub>	V <sub>bD</sub> 或GND电流			±50	mA
PD	功耗			500	mW
TsTg	贮存温度		-65	+150	°C
Top	工作温度		-40	+85	°C
		DIP封装		245	

			SOP封装		245	
--	--	--	-------	--	-----	--

注：极限参数是指无论在任何条件下都不能超过的极限值。万一超过此极限值，将有可能造成产品劣化等物理性损伤；同时在接近极限参数下，不能保证芯片可以正常工作。

### 推荐使用条件

符号	参数	条件	最小	典型	最大	单位
VpD	电源电压		3.0	5.0	9.0	V
VEE	电源电压		-6.0		0	V
Vop-VEE	电源电压		3.0		9.0	V
Vi	输入电压		0		VDD	V
Vo	输入输出电压		VEE		VDD	V
tr,tf	输入上升、下降时间	Vcc=3.0V			1000	NS
		Vcc=5.0V			500	ns
		Vcc=6.0V			400	ns
OP	工作温度		-40		+85	°C

### 直流特性

参数	VDD-VEE (V)	符号	典型	最大	单位	条件
导通电阻	5 9	RoN	350 80	2500 245	Ω	Vis=0~VDD -VEE 见图1
导通电阻	5 9	Ron	115 50	340 160	Ω	Vis=0 见图1
导通电阻	5 9	RoN	120 65	365 200	Ω	Vis=VDD -VEE 见图1
任意两个通道导通电阻的差值	5 9	ΔRoN	25 10	-	Ω	Vis=0~VDD -VEE 见图1
关断态漏电流 (所有通道关断)	5 9	lozz	-	1000	nA	E处于VDD
关断态漏电流 (任一通道)	5 9	lozy	- -	- 200	nA	E处于VEE

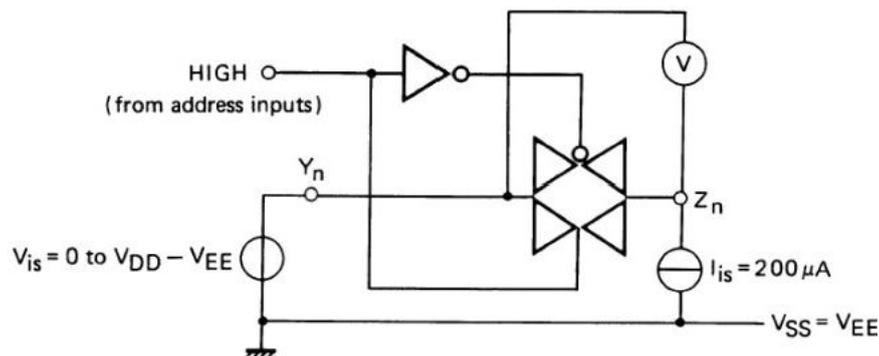


图 1 导通电阻的测试

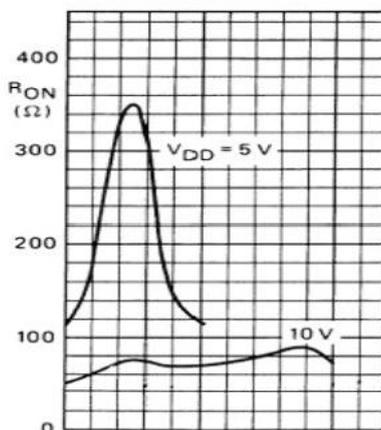


图2导通电阻是输入电压的函数 (lis=200μAVSS=VEE=0V)

交流特性 (Vss=VEE=0V;Tamt=25°C;输入跃变时间≤20ns)

	Vpd(V)	功率计算公式(μW)	f是输入频率(MHz) fo是输出频率(MHz) CL是负载电容(pF) Z(foCL)是输出之和 Vbd是电源电压(V)
一块电路的动态 功率耗散(P)	5	$1300f+Z(f_oCL)\times V_{pp}^2$	
	9	$6100f+Z(f_oCL)\times V_{po}^2$	

参数		VpD(V)	符号	典型	最大	单位	备注
传输延时 Vis → Vos	高到低	5 9	tpHL	10 5	20 10	ns	注释1
	低到高	5 9	tpLH	10 5	20 10	ns	注释1
传输延时 An → Vos	高到低	5 9	tpHL	150 65	305 135	ns	注释2
	低到高	5 9	tpLH	150 75	300 150	ns	注释2
输出 禁止 时间 E →Vos	高	5 9	tpHz	95 90	190 180	ns	注释3
	低	5 9	tplz	100 90	205 180	ns	注释3
输出 使能 时间 E →Vos	高	5 9	tpzH	130 55	260 115	ns	注释3
	低	5 9	tpzl	120 50	240 100	ns	注释3
失真 (正弦波响应)		5 9		0.25 0.04		%	注释4
任意两个通道 之间的干扰		5 9		1		MHz	注释5

串扰, 使能端或选择端到输出	5 9		50	mV	注释6
关断态	5 9		1	MHz	注释7
导通态频率响应	5 9		13 40	MHz	注释8

注释:  $V_{is}$  是 Y 或 Z 端的输入电压,  $V_{os}$  是 Y 或 Z 端的输出电压

1.  $R=10K\Omega$  到 VEE;  $C_L=50pF$  到 VEE;  $E=V_{ss}$ ;  $V_{is}=V_{oo}$  (方波); 如图3 所示

2.  $R_L=10K\Omega$ ;  $C_i=50pF$  到 VEE;  $E=V_{ss}$ ;  $A_n=V_{oo}$  (方波); 测量  $t_{H}$  时  $V_{is}=V_{oo}$ ,  $R_L$  到 VEE; 测量  $t_{L}$  时  $V_{is}=V_{EE}$ ,  $R_L$  到  $V_{oD}$ , 如图3 所示

3.  $R_L=10K\Omega$ ;  $C_i=50pF$  到 VEE;  $E=V_{oo}$  (方波); 测量  $t_{pz}$  和  $t_{pzH}$  时,  $V_{is}=V_{oo}$ ,  $R_L$  到 VEE; 测量  $t_{pLz}$  和  $t_{pLzH}$  时;  $V_{is}=V_{EE}$ ,  $R_L$  到  $V_{oD}$ ; 如图3 所示

4.  $R=10K\Omega$ ;  $C_L=15pF$ ; 通道开通;  $V_{is}=V_{oo}(PP)/2$  (正弦波, 在  $V_{oo}/2$  处对称),  $f_{is}=1KHz$ ; 如图4 所示

5.  $R_L=1K\Omega$ ;  $V_{is}=V_{oo}(PF)/2$  (正弦波, 在  $V_{oo}/2$  处对称);  $20lg(V_{os}/N_{is})=-50dB$ ; 如图5所示

6.  $R_L=10K\Omega$ 到 VEE;  $C_L=15pF$  到 VEE;  $E$  或  $A_n=V_{oo}$  (方波); 干扰是  $|V_{os}|$  (峰值); 如图3所示

7.  $R_i=1K\Omega$ ;  $C_i=5pF$ ; 通道关断;  $V_{is}=V_{oo}(PP)/2$  (正弦波, 在  $V_{oo}/2$  处对称);  $20lg(V_{os}/N_{is})=-50dB$ ; 如图4所示

8.  $R_L=1K\Omega$ ;  $C_i=5pF$ ; 通道开;  $V_{is}=V_{oo}(PP)/2$  (正弦波, 在  $V_{oo}/2$  处对称);  $20lg(V_{os}/N_{is})=-3dB$ ; 如图4 所示

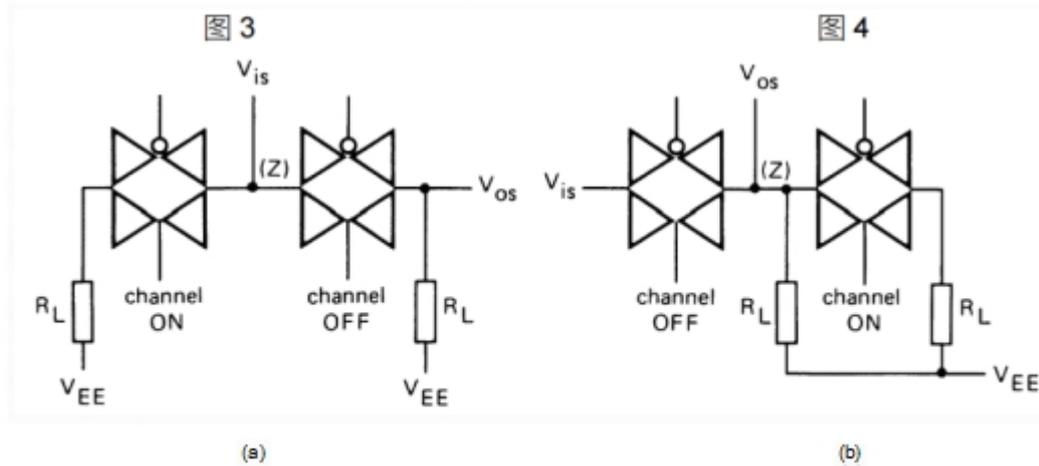
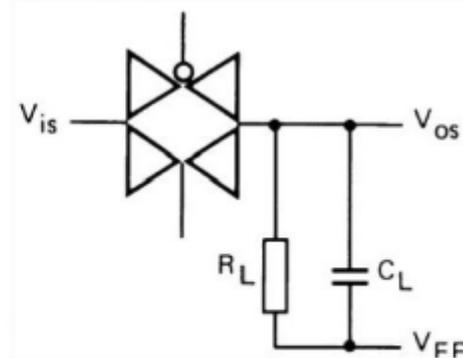
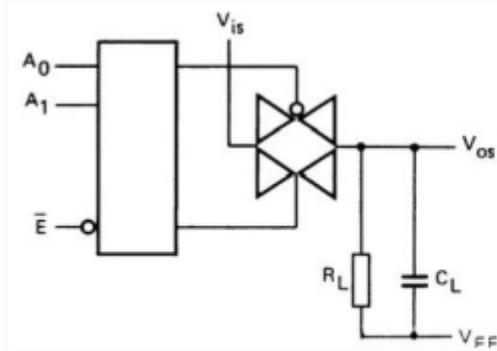
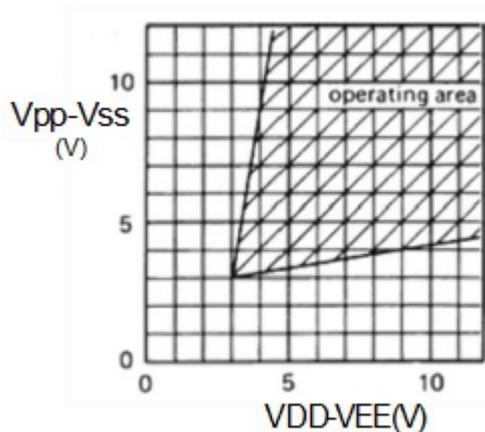


图5

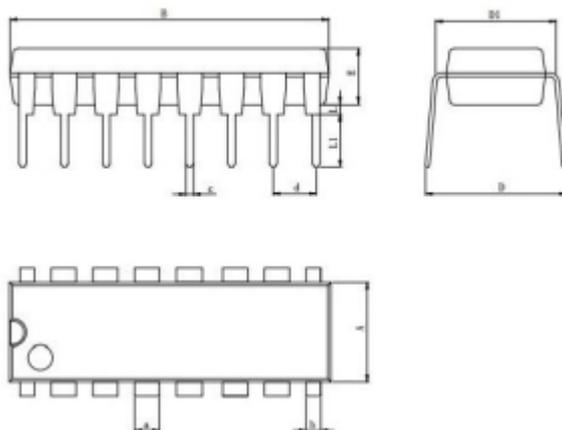
## 应用说明

### 电路工作区域



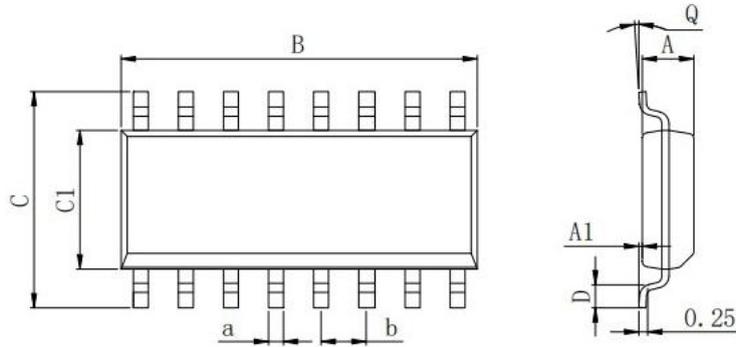
## 封装外形尺寸

### DIP-16



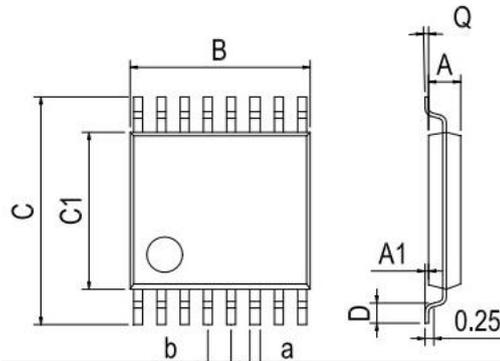
Dimensions In Millimeters(DIP-16)											
Symbol:	A	B	D	D1	E	L	L1	a	b	C	d
Min:	6.10	18.94	8.10	7.42	3.10	0.50	3.00	1.50	0.85	0.40	2.54 BSC
Max:	6.68	19.56	10.9	7.82	3.55	0.70	3.60	1.55	0.90	0.50	

**SOP-16**



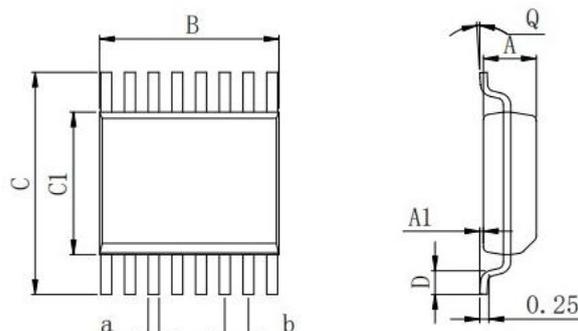
Dimensions In Millimeters(SOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	9.80	5.80	3.80	<b>0.40</b>	0°	<b>0.35</b>	<b>1.27 BSC</b>
Max:	1.55	0.20	10.0	6.20	<b>4.00</b>	<b>0.80</b>	8°	<b>0.45</b>	

**TSSOP-16**



Dimensions In Millimeters(TSSOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	0.85	0.05	4.90	6.20	4.30	<b>0.40</b>	0°	<b>0.20</b>	<b>0.65 BSC</b>
Max:	0.95	0.20	5.10	6.60	<b>4.50</b>	<b>0.80</b>	8°	<b>0.25</b>	

**QSOP-16**

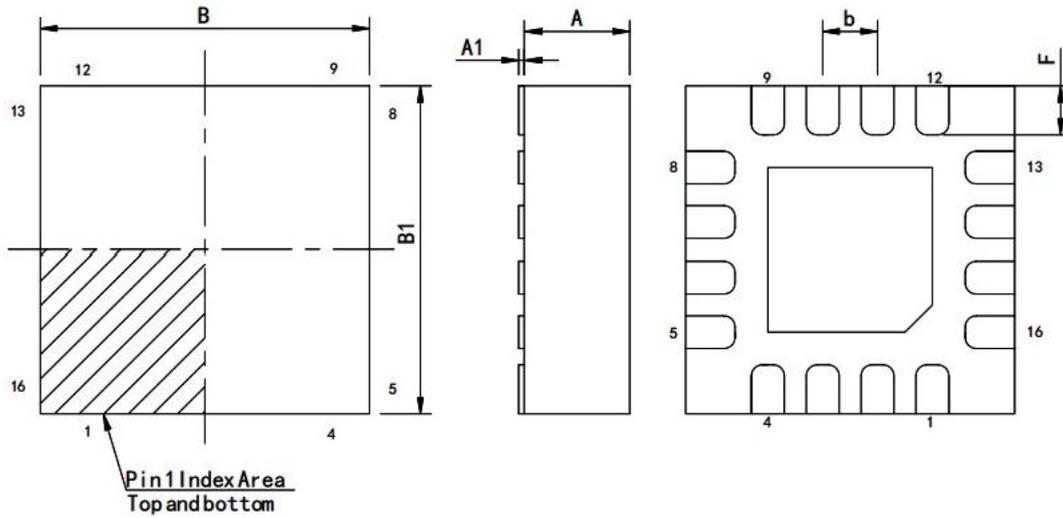


Dimensions In Millimeters(QSOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b

<b>Min:</b>	1.35	0.05	<b>4.90</b>	5.80	3.80	<b>0.40</b>	<b>0°</b>	<b>0.20</b>	<b>0.65 BSC</b>
<b>Max:</b>	1.55	0.20	<b>5.10</b>	6.20	4.00	<b>0.80</b>	<b>8°</b>	<b>0.25</b>	

## 封装外型尺寸

QFN-163\*3



Dimensions In Millimeters(QFN-163*3)								
Symbol:	A	A1	B	B1	E	F	a	b
<b>Min:</b>	<b>0.85</b>	0	<b>2.90</b>	<b>2.90</b>	<b>0.15</b>	<b>0.25</b>	<b>0.18</b>	<b>0.50TYP</b>
<b>Max:</b>	<b>0.95</b>	<b>0.05</b>	<b>3.10</b>	<b>3.10</b>	<b>0.25</b>	<b>0.45</b>	<b>0.30</b>	